

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075892

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H04N 5/04

H04N 5/46

H04N 7/00

(21)Application number : 03-234971

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CORP

(22)Date of filing : 13.09.1991

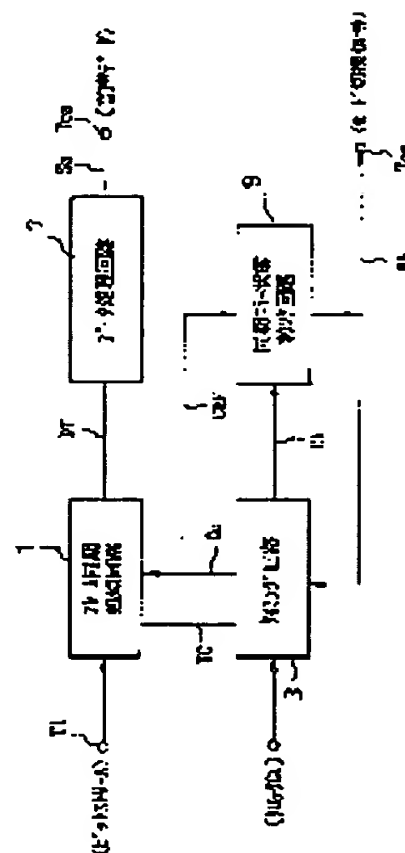
(72)Inventor : TOYODA NAOHIKO
OKITA SHIGERU

(54) SIGNAL DISCRIMINATION CIRCUIT

(57)Abstract:

PURPOSE: To provide the signal discrimination circuit capable of discriminating an NTSC system from a MUSE system in any bit stream.

CONSTITUTION: A signal discrimination circuit consists of a frame synchronizing processing circuit 1, a timing circuit 3, and a synchronizing error state counter circuit 9. The frame synchronizing processing circuit 1 detects a synchronizing code in the inputted bit stream data Bs to protect the synchronization, outputting a synchronizing error flag CEF in a synchronizing error state. The synchronizing error flag CEF is counted by the synchronizing error state counter circuit 9. This synchronizing error state counter circuit 9 generates a mode switching signal ms when the counted value reaches to the prescribed value (i). This mode switching signal changes the synchronizing frame detection comparison cycle of the timing circuit 3 to another cycle. The discrimination between the NTSC and MUSE systems is enabled by this mode switching signal ms.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平5-75892

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/04	Z	9070-5C	
	5/46		7037-5C	
	7/00	A	9070-5C	

審査請求 未請求 請求項の数 2 (全 9 頁)

(21)出願番号 特願平3-234971

(22)出願日 平成3年(1991)9月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029

東芝エー・ブイ・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者 豊田 直彦

東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内

(72)発明者 沖田 茂

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝映像メディア技術研究所内

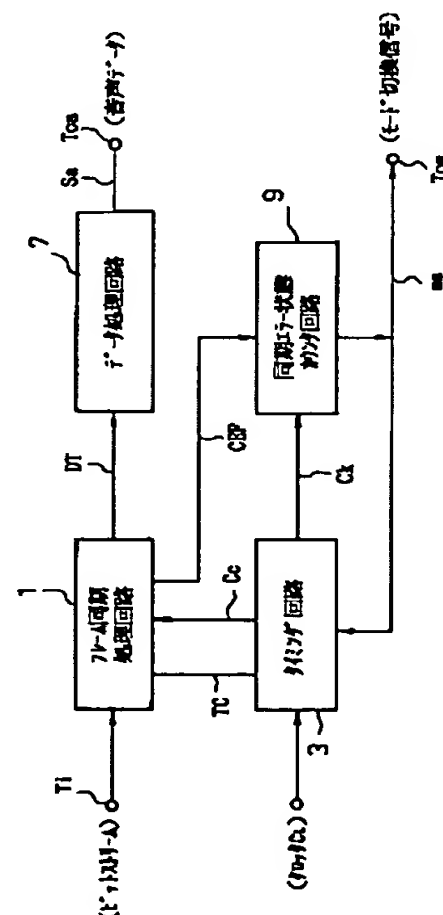
(74)代理人 弁理士 三好 秀和 (外4名)

(54)【発明の名称】 信号識別回路

(57) 【要約】

【目的】 本発明は、どのようなビットストリームであってもNTSC方式とMUSE方式との識別を可能とした信号識別回路を提供することを目的とする。

【構成】 信号識別回路は、フレーム同期処理回路 1、タイミング回路 3、同期エラー状態カウンタ回路 9 からなる。フレーム同期処理回路 1 は、入力されたビットストリームデータ B s 中に有する同期コードを検出して同期保護を行い、同期エラー状態のとき同期エラーフラグ C E F を出力する。この同期エラーフラグ C E F は、同期エラー状態カウンタ回路 9 で計数される。同期エラー状態カウンタ回路 9 は、その計数値が所定値 i に達成したときに、モード切替信号 m s を発生する。このモード切替信号はタイミング回路 3 の同期フレーム検出比較周期を別の周期に変更する。このモード切替信号 m s により、N T S C 方式と M U S E 方式との識別が可能となる。



1

【特許請求の範囲】

【請求項1】 入力されるビットストリームデータ中の同期パターンから同期状態を検出して、同期エラー状態のときには同期エラーフラグを出力する同期処理手段と、

この同期処理手段から出力される同期エラーフラグを計数し、その計数値が所定値に達したときに、モード切換信号を出力するカウンタ手段と、

このカウンタ手段から出力されたモード切換信号が入力されたときには前記同期処理手段における同期パターンの検出周期を変更する検出周期変更手段とを有することを特徴とする信号認識手段。

【請求項2】 入力されるビットストリームデータ中の同期パターンから同期状態を検出して、同期エラー状態のときには同期エラーフラグを出力する同期処理手段と、

この同期処理手段から出力される同期エラーフラグを計数し、その計数値が所定値に達したときに、モード切換信号を出力するカウンタ手段と、

このカウンタ手段から出力されたモード切換信号が入力されたときには前記同期処理手段における同期パターンを変更する同期パターン変更手段とを有することを特徴とする信号識別手段。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、衛星放送受信システムにおいて用いられるNTSC (national television system committee) 方式とMUSE (multiple subnyquist sampling encoding) 方式とを識別する信号識別回路に関し、特にNTSC方式とMUSE方式のビットストリーム信号の処理により、この二方式の自動識別を行うことを可能とした信号識別回路に関するものである。

【0002】

【従来の技術】従来、放送衛星を用いた衛星放送システムにおいては、PCM音声データのビットストリームにおけるフレーム構成は、周知のとおり、NTSC方式とMUSE方式との2種類が用いられている。NTSC方式のビットストリームのフレーム構成は2048〔ビット〕であり、またMUSE方式のビットストリームのフレーム構成は1350〔ビット〕である。このようなビットストリームを単一の受信機で受信する場合には、現在受信しているビットストリームがNTSC方式かMUSE方式かを識別し、この識別に基づいてPCM音声データ等の処理をする必要がある。

【0003】図6は、NTSC方式かMUSE方式かを識別する従来の信号識別回路の構成を示すブロック図である。図6に示す信号識別回路は、NTSC方式かMUSE方式かを識別するものである。この信号識別回路に

2

において、ビットストリームBsはフレーム同期処理回路101に入力される。フレーム同期処理回路101は、ビットストリームBsから同期パターンを検出し、ある程度の同期検出エラーが生じても同期が確立できる同期保護を行い、データ列とタイミング回路103からの同期検出同期信号Ccとの同期をとる。

【0004】次に、現在、受信しているビットストリームBsのフレーム構成ビット数がNTSC方式の2048〔ビット〕の場合、入力クロックCLは2.048

〔MHz〕であり、この入力クロックCLはタイミング回路103とPLL回路105に入力される。このとき、PLL回路105は2.048〔MHz〕にロックの設定がされているなら、PLL回路105からはロック外れであるPLLエラーフラグEFが出力されない。

【0005】一方、受信しているビットストリームBsのフレーム構成ビット数がMUSE方式である1350〔ビット〕に変化した場合、入力クロックCLも1.35〔MHz〕に変化する。すると、今まで、2.048

〔MHz〕の入力クロックCLにロックするように設定されていたPLL回路105は1.350〔MHz〕の入力クロックCLにロックできなくなり、PLL回路105からPLLエラーフラグEFを出力する。これにより、フレーム同期処理回路101からの出力データDTを処理するデータ処理回路107は、PLL回路105から与えられるクロックが異常となって、データの処理が不能になる。

【0006】そこで、PLLエラーフラグEFによりPLL回路105のクロックのロック設定を他方に変更すると、PLL回路105は、1.350〔MHz〕の入力クロックCLにロックされことになる。これにより、データ処理回路107は、データ処理を正常に行うことになる。なお、同期エラー状態カウンタ109は、フレーム同期処理回路101からの同期エラーフラグCEFをカウントする。

【0007】上記信号識別回路の場合、NTSC方式及びMUSE方式のデータレートが異なっている場合には、PLL回路105からPLLエラーフラグEFが出力されるものの、データレートが同じフレーム構成のビットストリームの場合にはPLL回路105からPLLエラーフラグEFが出力されないため、両方式の識別が不可能となり、データ処理回路107のデータ処理が異常となる。

【0008】

【発明が解決しようとする課題】上述した従来の信号識別回路にあっては、ビットストリームのデータレートが同じ場合には、フレーム構成が変化しても、入力される入力クロックが同じためPLL回路の同期ロック外れは生じることがなく、PLLエラーフラグが立つことがない。そのため、このようにビットストリームのデータレートが同じ場合には、NTSC方式とMUSE方式との

3

自動識別が不可能となる場合が生じる。

【0009】そこで、本発明の目的は、どのようなビットストリームであってもNTSC方式とMUSE方式との識別を可能とした信号識別回路を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明による信号識別回路は、入力されるビットストリームデータ中の同期パターンから同期状態を検出して、同期エラー状態のときには同期エラーフラグを出力する同期処理手段と、この同期処理手段から出力される同期エラーフラグを計数し、その計数値が所定値に達したときに、モード切換信号を出力するカウンタ手段と、このカウンタ手段から出力されたモード切換信号が入力されたときには前記同期処理手段における同期パターンの検出周期を変更する検出周期変更手段とを有することを要旨とする。

【0011】また、請求項2記載の発明による信号識別回路は、入力されるビットストリームデータ中の同期パターンから同期状態を検出して、同期エラー状態のときには同期エラーフラグを出力する同期処理手段と、この同期処理手段から出力される同期エラーフラグを計数し、その計数値が所定値に達したときに、モード切換信号を出力するカウンタ手段と、このカウンタ手段から出力されたモード切換信号が入力されたときには前記同期処理手段における同期パターンを変更する同期パターン変更手段とを有することを特徴とする。

【0012】

【作用】上述した請求項1記載の発明では、入力されるビットストリームデータの同期検出周期に基づいて同期検出処理を行い、同期エラーが検出されたときに同期エラーフラグをたて、この同期エラーフラグを計数し、その計数値が所定数値に達したならば、同期処理手段における同期パターンの検出周期を変更することにより同期を計り信号識別を行っている。

【0013】また、請求項2記載の発明では、入力されるビットストリームデータの同期検出周期に基づいて同期検出処理を行い、同期エラーが検出されたときに同期エラーフラグをたて、この同期エラーフラグを計数し、その計数値が所定数値に達したならば、同期処理手段における同期パターンを変更することにより同期を計り信号識別を行っている。

【0014】

【実施例】以下、本発明について図面を参照して実施例を詳細に説明する。図1は本発明に係る信号識別回路の第1実施例を示すブロック図である。

【0015】図1に示す信号識別回路において、PCM音声データのビットストリームデータBsは端子Tiから同期処理手段としてのフレーム同期処理回路1に供給される。フレーム同期処理回路1は、入力されたビット

4

ストリームデータBsから同期パターンとしての同期コードを検出するとともに同期保護を行う。

【0016】ここで、このフレーム同期処理回路1において実行される同期保護について、図2の状態遷移図を用いて説明する。フレーム同期処理回路1は、同期検出に伴う同期エラーフラグCEFにより状態遷移が行われる。まず、フレーム同期処理回路1は、初期状態を

“0”とすると、最初に同期が検出されれば、“1”の状態に移る(S1)。さらに、フレーム同期処理回路1は、続いて正常に同期検出されれば、“7”の状態に移り(S2)、以後、正常に同期検出が行われれば“7”の状態を保つことになる(S3)。ここで、フレーム同期処理回路1は、同期検出が正しく行われなければ、

“7”の状態から“6”、“5”、“4”、…というように順次下位状態に移行していく(S4、S5、…、S10)。なお、順次下位状態に移行する過程で(S4、S5、…、S10)、同期がとれれば再び状態“7”に移行する(S11、S12、…、S15)。また、

“0”において同期がまったくとれないときには、

“0”を保つことになる(S16)。

【0017】ここで、状態“0”、“1”を非同期状態(Ang)とし、“2”～“7”を同期状態(Aok)とすると、フレーム同期処理回路1は、“0”、“1”のときに同期エラーフラグCEFを出力する。このフレーム同期処理回路1は、同期状態において、データ列DTとタイミング信号とを同期させるために、同期検出信号TCをフレーム同期周期で出力するとともに、この同期検出信号TCを検出周期変更手段としてのタイミング回路3に、データ列DTをデータ処理回路7に、同期エラーフラグCEFをカウンタ手段としての同期エラー状態カウンタ回路9にそれぞれ供給する。

【0018】データ処理回路7は、入力されたデータ列DTから音声データSaを形成して出力端子Toaから出力する。同期エラー状態カウンタ回路9は、タイミング回路3からのクロックCkを基にフレーム同期処理回路1からの同期エラーフラグCEFを計数し、当該計数値が一定値に達した際に、今のフレーム構成ビット数の処理を変更するモード切換信号msを出力端子Tomから出力するとともに、そのモード切換信号msをタイミング回路3に供給する。タイミング回路3は、前記モード切換信号msに基づいて同期検出用同期信号Ccを形成する。なお、タイミング回路3、データ処理回路7には、外部から基準クロックCLが入力されている。

【0019】このように構成された実施例の作用を図1を基に、図3のタイミングチャート及び図4のビット構成説明図を参照して説明する。図3(a)は図4(a)のビットストリームデータ401の同期コードCxの周期を、図3(b)は図4(b)ビットストリームデータ403の同期コードCyの周期を、図3(c)は同期検出パルスを、図3(d)は同期エラーフラグCEFを、

5

図3(e)は同期エラー状態カウンタ回路9の計数値を、図3(f)はモード切換信号msを、それぞれ示している。なお、図4(a)のDxはビットストリームデータ401のm〔ビット〕のデータを、図4(b)のDyはビットストリームデータ403のn〔ビット〕のデータをそれぞれ示しており、 $m < n$ の関係がある。

【0020】いま、上記構成の信号識別回路が、図4(b)に示すような、フレーム構成ビット数がn〔ビット〕のビットストリームデータBsを受信するようなモード設定になっているとする。ここで、図4(a)に示すフレーム構成ビット数がm〔ビット〕のビットストリームデータ401が入力端子Tiからフレーム同期処理回路1に入力される。フレーム同期処理回路1は、フレーム構成ビット数がn〔ビット〕を処理するモード設定であり、かつ入力されるビットストリームデータ401の同期コードCxの周期がmクロックであるため(図3(a)参照)、同期検出することができず、nクロックの周期で同期エラーフラグCEFを同期エラー状態カウンタ回路9に与える(図3の時刻ti~ti-1、ここで、iは同期エラー状態カウンタ回路9の所定値に相当する)。この同期エラー状態カウンタ回路9は、その同期エラーフラグCEFを計数し(図3の時刻ti~ti-1)、その計数値が所定値i(ここでは、 $i = "6"$)に達したときに、論理「1」から論理「0」に変化するモード切換信号msを出力する(図3の時刻ti)。このモード切換信号msは、出力端子Tomから外部に出力されるとともに、タイミング回路3に供給される。すると、タイミング回路3は、mクロックに同期可能な同期検出用同期信号Ccをフレーム同期処理回路1に与えてフレーム構成ビット数がm〔ビット〕のビットストリームデータ401を処理するモードに変更してやる。これにより、フレーム同期処理回路1は、ビットストリームデータ401の同期コードCxの周期がmクロックの状態同期検出され、同期検出信号TCが得られるために(時刻ti+1~)、再び状態遷移が「7」に移行し、同期エラーフラグCEFが出力されなくなる。

【0021】さらに、上述したようフレーム構成ビット数がm〔ビット〕のビットストリームデータデータ401をフレーム同期処理回路1が処理をしているときに、再びフレーム構成ビット数がn〔ビット〕のビットストリームデータ403に変化しても、上述の動作と同様に同期エラーフラグCEFが発生し、これを同期エラー状態カウンタ回路9で計数し、その計数値が所定値iに達したときに、ビットストリームデータ403の処理を可能にするモード切換信号msが出力される。これにより、フレーム同期処理回路1は、再び、フレーム構成ビット数がn〔ビット〕のビットストリームデータ403の処理を行うことになる。

【0022】上述した実施例は、ビットレートが同じ場合でもフレーム構成ビット数が異なればビットストリー

6

ムデータのみで信号識別を行うことができる構成例である。

【0023】図5は、本発明の第2の実施例を示すブロック図である。この第2の実施例は、フレーム同期パターンが異なる場合に二つの方式を識別できるものである。

【0024】図5に示す第2の実施例は、第1の実施例のフレーム同期処理回路1を変更したものである。この第2の実施例によるフレーム同期処理回路1aは、フレーム同期パターンでNTSC方式かMUSE方式かの自動識別を実行する。このフレーム同期処理回路1aは、入力端子Tiから入力されてビットストリームデータBsを保持し、かつkビットのデータ列DTを出力できるシフトレジスタ11と、シフトレジスタ11からのデータを入力される同期パターンと比較する同期パターン比較回路13と、この同期パターン比較回路13に同期パターンを与える同期パターン回路15と、前記同期パターン比較回路13から出力される一致パルスIPを取り込み同期保護するとともに、不一致のときには同期エラーフラグCEFを出力する同期保護回路17とから構成されている。なお、第2の実施例において、他の構成は第1の実施例と同一であるので説明を省略する。なお、シフトレジスタ11と、同期パターン比較回路13及び同期パターン回路15は同期パターン変更手段を構成するものである。

【0025】いま、仮にNTSC方式のビットストリームデータBsに対応する処理を行うように信号識別回路が変更されているものとする。このとき、例えば同期パターン回路15からは、NTSC方式のビットストリームデータBsに対応するaパターンが同期パターン比較回路13に供給されている。

【0026】このときに、MUSE方式のビットストリームデータBsが入力端子Tiからシフトレジスタ11に入力された場合、シフトレジスタ11は、そのビットストリームデータBsを保持する。この保持されたビットストリームデータBsは、同期パターン回路15からのaパターンと同期パターン比較回路13にて比較が行われるが、一致しないので、同期保護回路17は同期エラーフラグCEFを出力する。これにより、同期エラー状態カウンタ回路9は、同期エラーフラグCEFを計数する。

【0027】また、同期エラー状態カウンタ回路9において、同期エラーフラグCEFが所定値に達すると、モード切換信号msを出力する。このモード切換信号msは、同期パターン切換信号として同期パターン回路15に入力される。同期パターン回路15は、MUSE方式のビットストリームデータBsに対応するbパターンを出力する。これにより、同期パターン比較回路13からは、一致パルスIPが出力されるので、同期保護回路17は上記第1の実施例と同様に同期保護を行い、通常の

処理が行われる。

【0028】また、NTSC方式のビットストリームデータBsが入力端子Tiから入力されたとすると、上述と同様に処理して識別が可能になる。

【0029】上記第2の実施例によれば、フレーム同期パターンが異なる場合に二つの方式を識別し対応することができることになる。

【0030】なお、上記において第1の実施例と第2の実施例とをそれぞれ別個に記載したが、実際の識別に際しては、第1の実施例における同期パターンの検出周期の変更と第2の実施例における同期パターンの変更とを行うことで、より確実にフレーム構成を識別し、対応することができるのはいうまでもない。

【0031】

【発明の効果】以上に説明したように、請求項1記載の発明によれば、同期エラーフラグを基に識別可能にしたので、ビットレートが同じでも、フレーム構成ビット数が異なっている場合でもフレーム構成を確実に識別することができ、また請求項2記載の発明によれば、フレーム中の同期パターンが異なるフレーム構成をもつビットストリームデータの場合でも同様にフレーム構成を確実に識別することができる物である。

【図面の簡単な説明】

【図1】本発明に係る第1の実施例を示すブロック図である。

【図2】本発明の第1の実施例の同期状態遷移を説明するための図である。

【図3】本発明の第1の実施例の同期エラーフラグによるモード切換信号を説明するためのタイミングチャートである。

【図4】本発明の第1の実施例で処理するフレーム構成の説明図である。

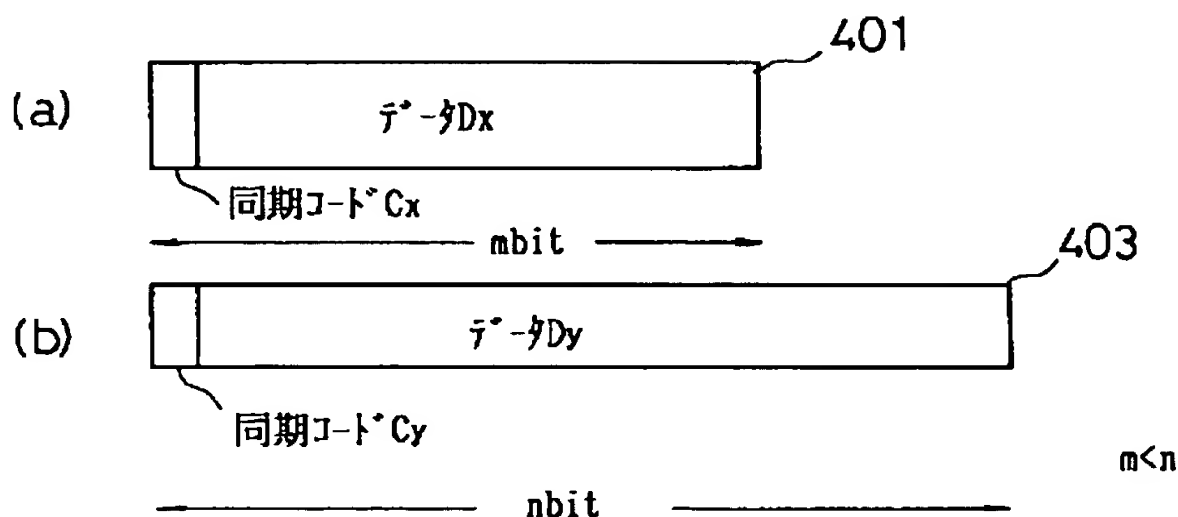
【図5】本発明の第2の実施例を示す一部のブロック図である。

【図6】従来装置の構成を示すブロック図である。

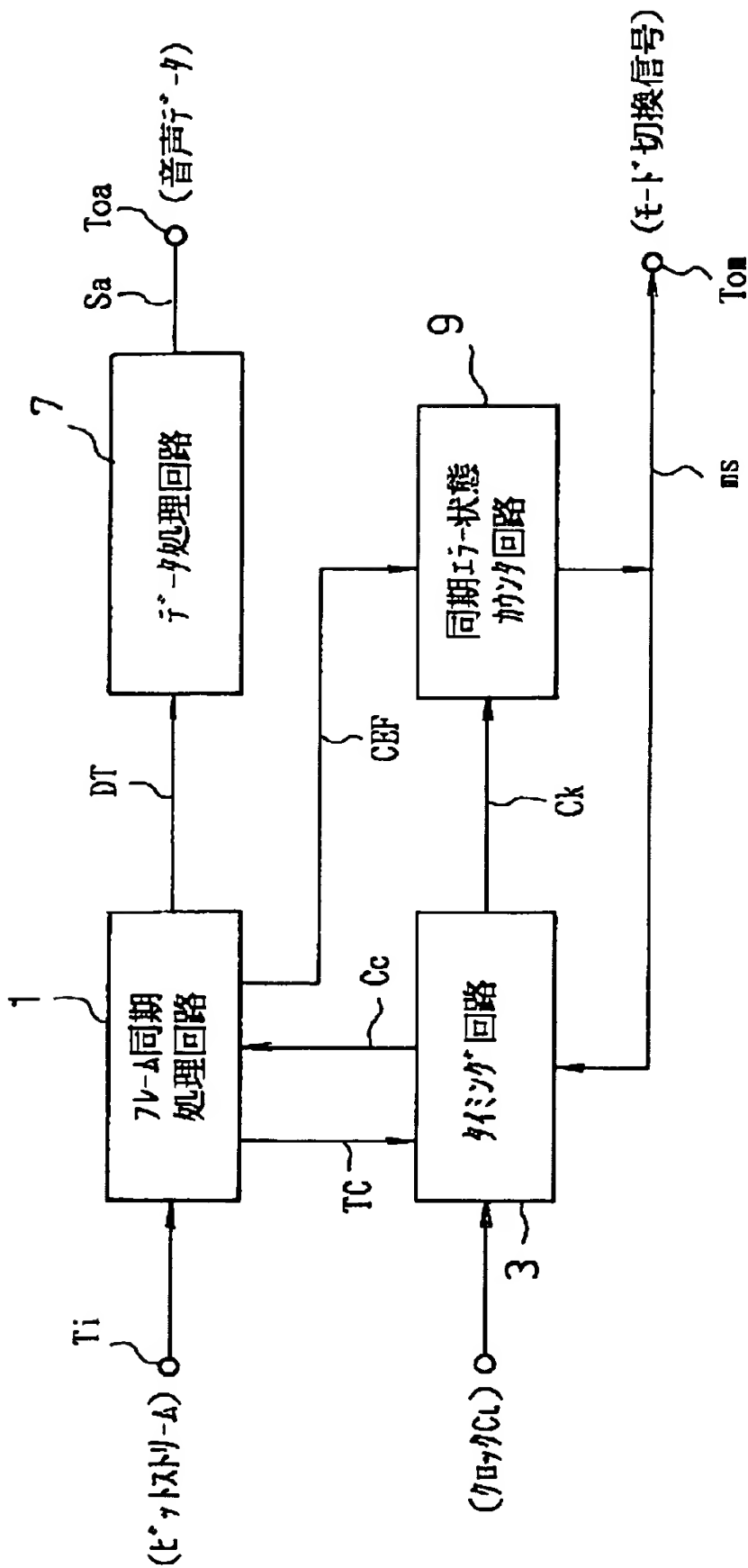
【符号の説明】

- 1 フレーム同期処理回路
- 3 タイミング回路
- 7 データ処理回路
- 9 同期エラー状態カウンタ回路
- 11 シフトレジスタ
- 13 同期パターン比較回路
- 15 同期パターン回路
- 17 同期保護回路

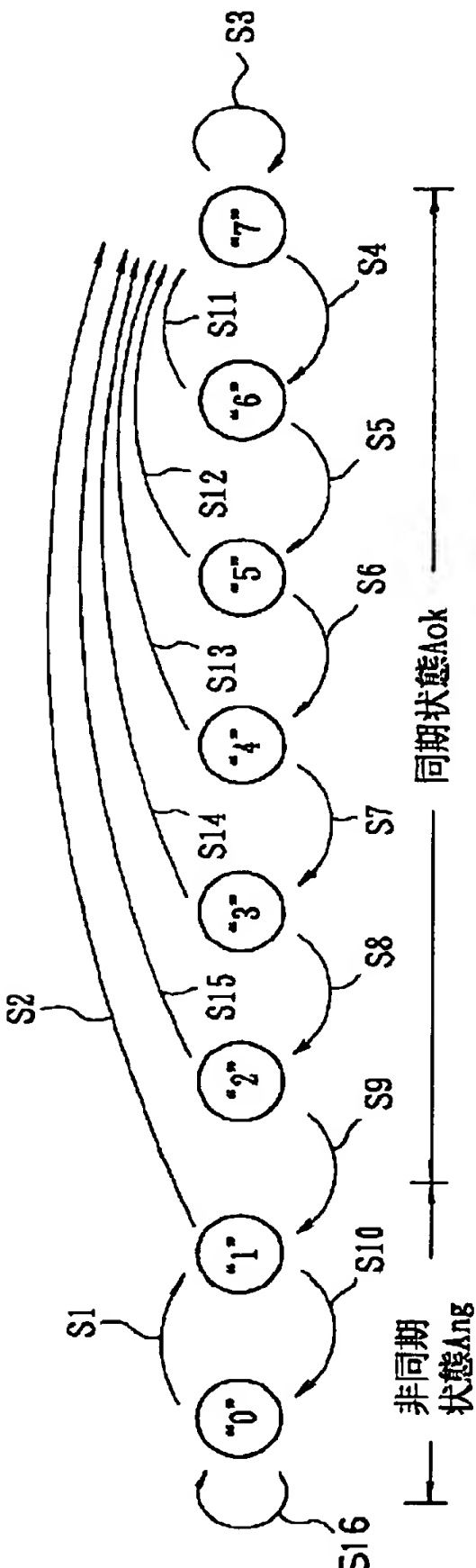
【図4】



【図1】

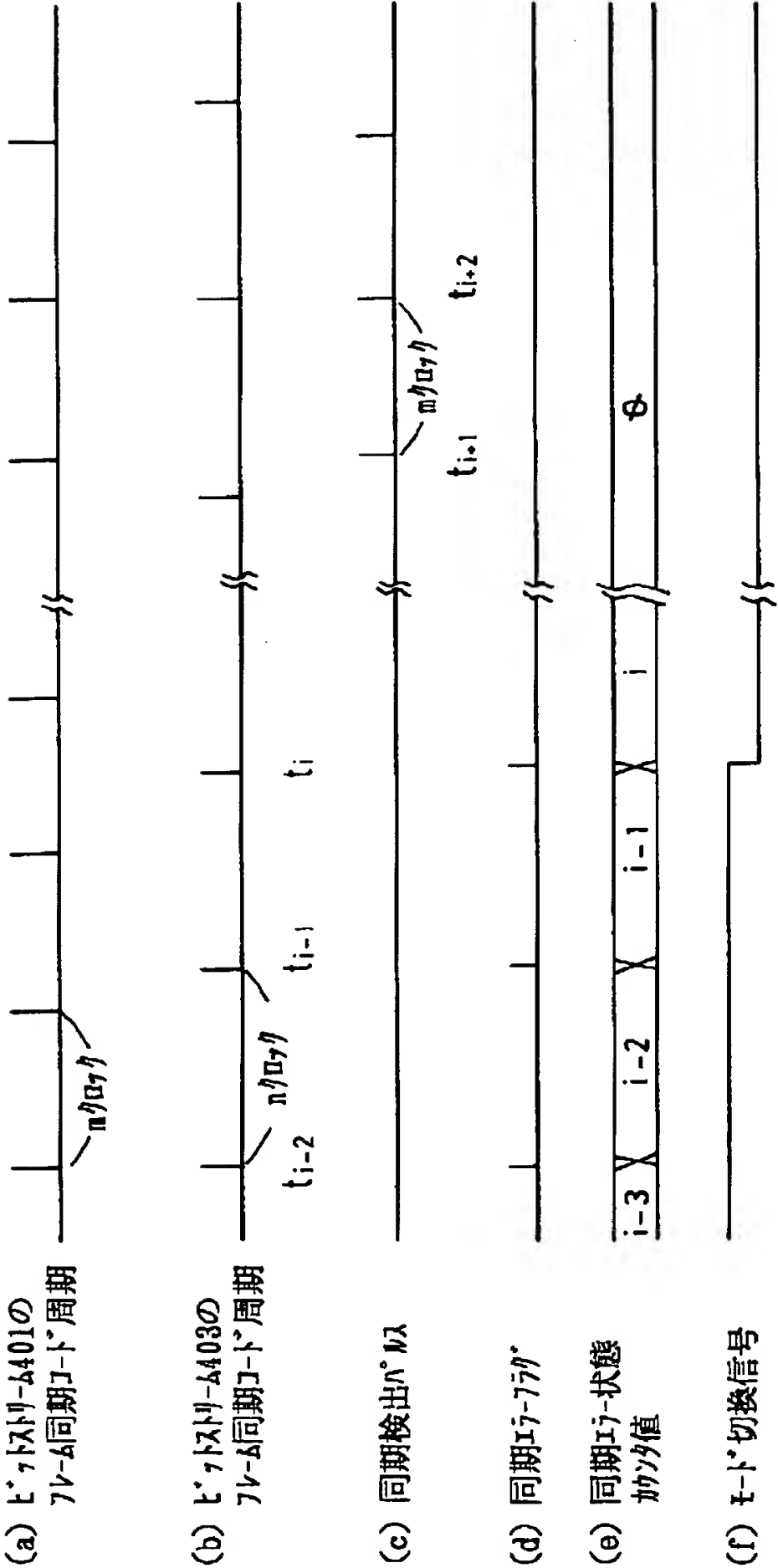


【図2】



(7)

【図 3】



【図5】

